



ARQUITECTURA DE COMPUTADORAS

Parcial Global

Primer Cuatrimestre de 2023

Apellido y Nombres: L.U.:
D.N.I.: Cantidad de Hojas Entregadas (sin enunciado):

Resolver los ejercicios en hojas separadas, poniendo nombre y número a cada una.

Ejercicio 1

Dado el siguiente fragmento de código:

```

I0   R1   ← M[R2]
I1   R3   ← R1 * R7
I2   R4   ← R3 + R23
I3   R5   ← R3/R15
I4   M[R5] ← R20
I5   R12  ← R1 * R15
I6   R13  ← R12 * R17
I7   R13  ← R14 + R18

```

Suponiendo que se cuenta con un procesador de 5 etapas (F, D, E, M, WB) en orden, el cual tiene implementado forwarding. Asumir que para Load y Store la dirección de memoria se calcula en la etapa Decode y el acceso a memoria se realiza en la etapa Memory e insume 1 ciclo. Además, los conflictos de datos write-after-write se resuelven deteniendo el pipeline (stall de pipeline). Desarrolle los siguientes incisos considerando las latencias mostradas en la Figura 1.

Operación	Latencia en ciclos	Cantidad de Unidades funcionales	Unidades funcionales estructuradas en Pipeline
Suma, Resta, Xor \oplus	1	1	No
Multiplicación, División	3	1	Si

Figura 1: Tabla de latencias

- Identifique todas las dependencias de datos para el fragmento de código dado.
- Desarrolle el diagrama de Gantt, calcule la cantidad de ciclos por instrucción promedio.
- Explique brevemente como funciona la técnica **forwarding** en un pipeline y cuál es su propósito. Considerando el fragmento de código dado, indique si se obtuvieron ventajas al tener implementado forwarding en el pipeline.

Ejercicio 2

Dado el fragmento de código indicado en el ejercicio 1, indique ventajas y desventajas que se podrían obtener si se hubiese contado con un pipeline fuera de orden implementado con la técnica de Tomasulo. Analice si las estaciones de reservación y la técnica de renombramiento de registros conducirían a un mejor rendimiento para este caso particular. (no es necesario desarrollar el diagrama de Gantt ni las tablas).

Ejercicio 3

Dada la secuencia de instrucciones y las latencias indicadas en el Ejercicio 1, resolver los siguientes incisos asumiendo que la arquitectura cuenta con un procesador superescalares con **ejecución en orden**, el cual posee dos unidades de ejecución, es decir que se pueden despachar dos instrucciones (de cualquier tipo) por ciclo ($w=2$). Asumir las latencias indicadas en la Figura 1, y que los conflictos write-after-write se resuelven descartando la instrucción que calcula el valor anterior.

Para Load y Store asumir que se calcula la dirección de memoria en etapa Decode y se accede a memoria en etapa Memory. Ambas etapas demoran 1 ciclo.

- Esquematizar en un *diagrama de Gantt* el solapamiento entre instrucciones. En los ciclos que se produzcan conflictos de datos o estructurales, identificar el conflicto e indicar los motivos que lo producen y el modo en que se resuelven según esta implementación.
- Calcule la cantidad de instrucciones por ciclo promedio para este caso. Compare el desempeño de este procesador con el empleado en el Ejercicio 1, teniendo en cuenta el CPI e indique cual resultó más efectivo en la resolución de conflictos justificando cada caso.

Ejercicio 4

Dados los números enteros positivos $X = 0101\ 1010$ e $Y = 0000\ 0111$ realice el proceso de división con restauración $X \div Y$ empleando operandos de 8 bits. Detalle brevemente las acciones aplicadas en cada paso, indique cual es el resultado de la operación y el resto.