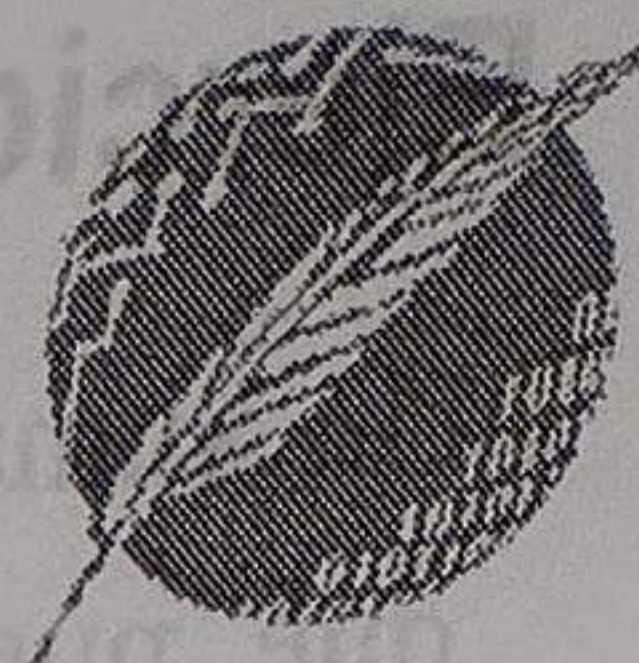




ARQUITECTURA DE COMPUTADORAS

EXAMEN FINAL REGULAR – 16 DE DICIEMBRE DE 2022



Nombre: _____ LU: _____

E-mail: _____

Cantidad de hojas entregadas (sin enunciado): _____

Ejercicio 1.

001040 _H	<p>Liliana Bodoc, LO S DÍAS DEL VENADO. La saga de los confines. Prólogo. Ocurrió, hace tantas Edades, que no queda de ella, ni el eco del recuerdo del eco del recuerdo. Ningún vestigio sobre estos sucesos ha conseguido permanecer. Y aún cuando pudieran adentrarse en cuevas sepultadas bajo nueva civilización, nada encontrarían. Lo que voy a relatar sucedió en un tiempo lejano; cuando los continentes tenían otra forma y los ríos tenían otro curso. Entonces, las horas de las Criaturas pasaban lentas, los Brujos de la Tierra recorrían las montañas, Maduinas buscando hierbas saludíferas, y todavía resultaba sencillo ver a los lulus, en las largas noches de las islas del sur, bailando alrededor de sus colas. ~~~~~</p>
---------------------	--

Suponiendo el siguiente escenario:

- Direccionamiento al byte.
- Memoria virtual con paginado y se necesitan 10 bits para direccionar dentro de la página.
- Direcciones físicas de 24 bits y lógicas de 32 bits.
- Memoria caché física, con 8 líneas de datos y una capacidad total de 256 bytes de datos. La organización de la caché es *2-way set associative*, reemplazo FIFO y política de escritura *writeback – write allocate*.
- La primera letra del fragmento de texto se encuentra en la dirección de memoria física 001040_H

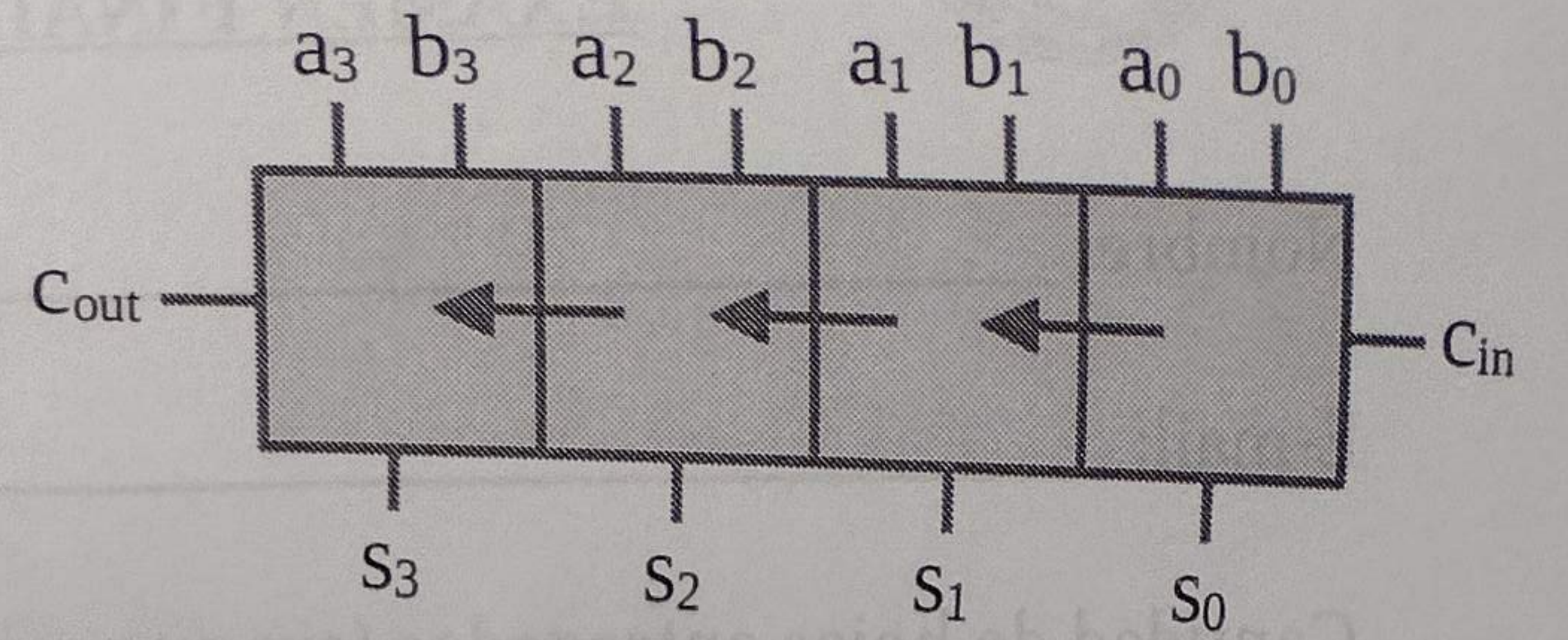
- ¿Cuál es el tamaño en bytes de cada página? ¿Cuántos frames ocupa el fragmento de texto? (considerando la dirección física en la que empieza y que, incluyendo todos los espacios marcados, tiene 720 caracteres ASCII).
- En el reemplazo FIFO se reemplaza aquella línea de caché que hace más tiempo que está en la caché. Describa qué información debe almacenarse en cada *set* de la caché y cuántos bits hacen falta. ¿Cuál es el tamaño real de la caché?
- Asumiendo que en la caché no hay nada útil y que se accede secuencialmente para lectura a las siguientes direcciones de memoria:

0010C3_H - 001181_H - 001262_H - 0011F4_H - 001189_H -
 001270_H - 0010FA_H - 0010DB_H - 0010DC_H - 001144_H -
 0012C0_H - 0010DD_H

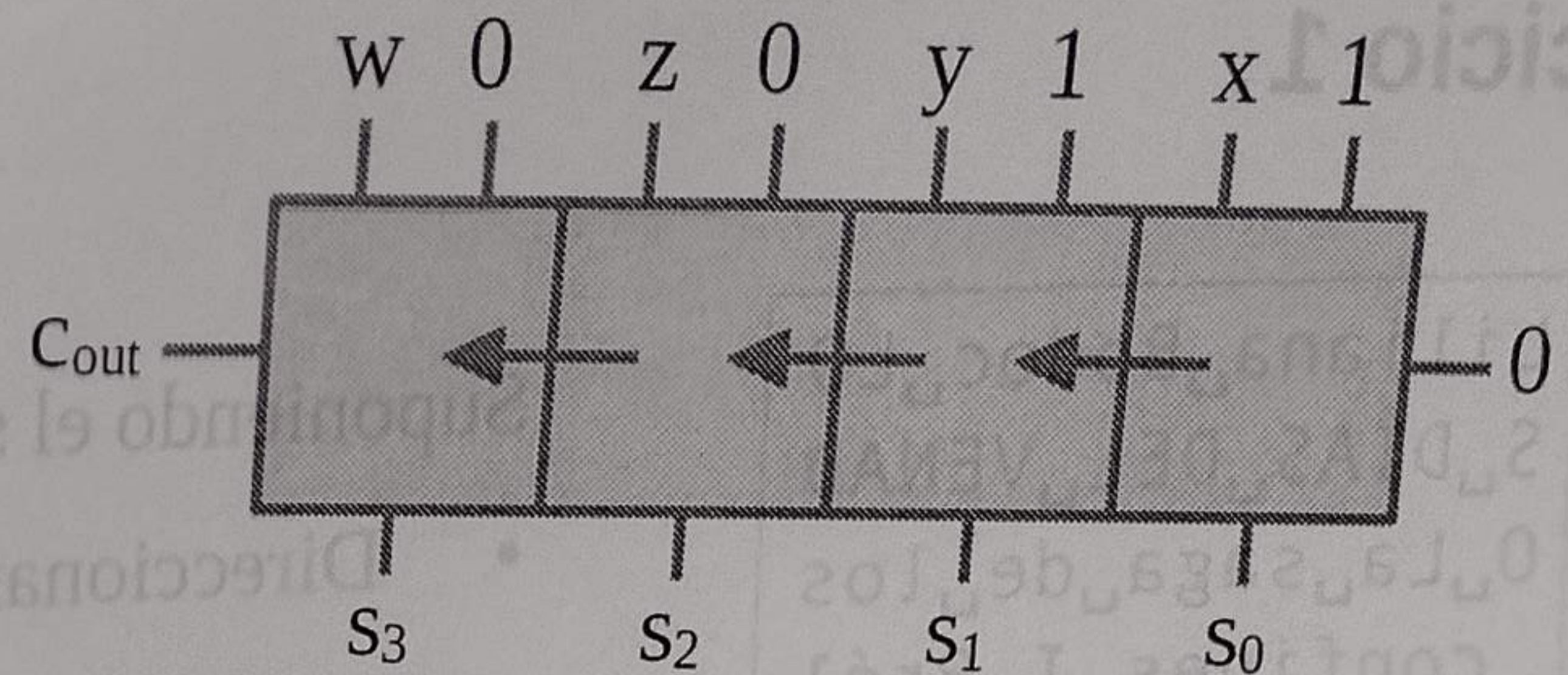
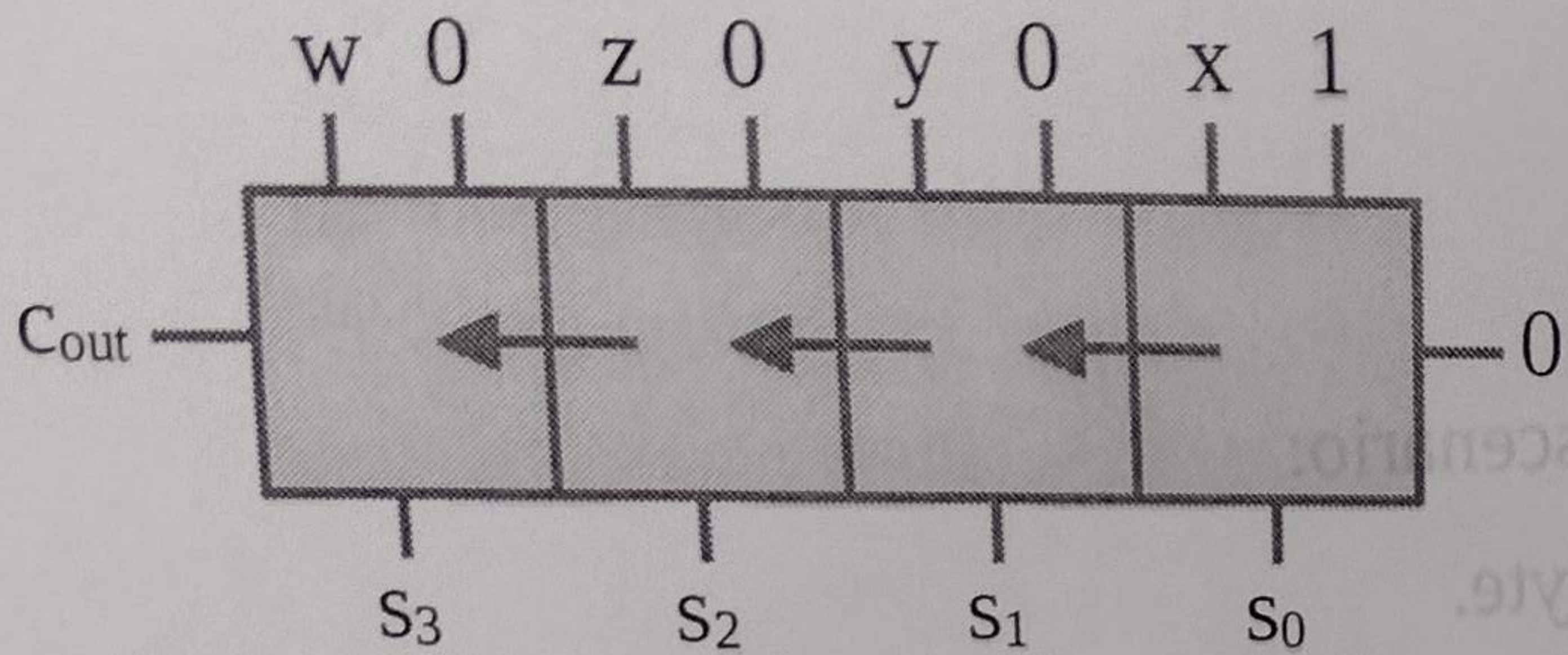
 - Para cada acceso indique el index y el tag de la dirección, si ocurre un *hit* o un *miss* y en, el caso de *miss*, detalle los cambios que ocurren en la caché.
 - Muestre el contenido final de la caché (incluyendo datos).

Ejercicio 2.

Un sumador binario es un bloque funcional bastante versátil que puede ser usado para implementar distintas funciones lógicas, más allá de la suma. Considerando un sumador que suma dos números de 4 bits ($A=a_3a_2a_1a_0$ y $B=b_3b_2b_1b_0$) teniendo en cuenta un acarreo de entrada c_{in} , y devuelve la suma S ($S=s_3s_2s_1s_0$) y el acarreo de salida c_{out} ...



¿cuál es la función lógica $f(x,y,z,w)$ que se obtiene en la salida c_{out} para cada una de las siguientes configuraciones del sumador? Elija la opción correcta.



$x \cdot y \cdot z \cdot w$

$w \cdot z \cdot (x + y)$

$x + y + z + w$

$w \cdot (z + x + y)$

Otra:

$x \cdot y \cdot z \cdot w$

$w \cdot z \cdot (x + y)$

$x + y + z + w$

$w \cdot (z + x + y)$

Otra:

Ejercicio 3.

Elija la opción correcta

- El ancho de banda del bus entre caché y memoria principal no impacta en el rendimiento del pipeline.
 - Falso. Impacta en el tiempo que demanda resolver un faltante en caché.
 - Verdadero. Sólo impacta en el tiempo de resolver faltantes.
 - Falso. El bus transfiere la mayor cantidad de información posible por ciclo. Acelera la comunicación entre el procesador y la memoria principal.
 - Falso. Si aumenta el ancho del bus, aumenta el ancho del dato y la cantidad de líneas necesarias. Esto aumenta el costo y por lo tanto afecta el rendimiento.
- Minimizar el tiempo de operación del hardware de suma de enteros es de vital importancia ya que la mayoría de las instrucciones aritméticas que decodifica y ejecuta el procesador se basan en sumas.
 - Verdadero. Es importante porque el tanto la resta, la multiplicación y la división se implementan con sumas.
 - Falso. Es importante porque la ejecución de cualquier instrucción implica el cálculo del próximo PC.
 - Verdadero. La gran mayoría de las instrucciones que ejecuta el procesador son efectivamente operaciones de suma.
- El espacio de direccionamiento lógico y el tamaño de la memoria caché están limitados por la longitud de la dirección física.
 - Falso. El espacio de direccionamiento lógico está limitado por la dirección virtual. El tamaño de la caché es independiente de la longitud de ambas direcciones.
 - Falso. Aunque el espacio de direccionamiento lógico sí está limitado por la longitud de la dirección física, la longitud de la dirección física es la que está limitada por el tamaño de la caché.
 - Verdadero. La longitud de la dirección física limita el tamaño de los bloques de caché y por lo tanto el tamaño de todos los espacios direccionables.
- No todas las dependencias de datos producen conflicto en el pipeline.
 - Verdadero. Los conflictos WAR y WAW no causan un retraso del pipeline si se ejecutan en orden.
 - Falso. Las dependencias de nombre también causan conflictos en el pipeline.
 - Verdadero. Solo puede haber conflicto entre instrucciones que se ejecuten concurrentemente en el pipeline.