	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22
I0	F	D	E	M	WB																	
I1		F	D	DS	DS	E	E	E	M	WB												
I2			F	FS	FS	D	E	M	WB													
I3						F	D	DS	DS	E	M	WB										
I4							F	-	-	-	-	-										
I5								F	FS	D	E	M	WB									
I6										F	D	DS	DS	E	M	WB						
I7											F	FS	FS	D	E	M	WB					
I8														F	D	E1	E2	E3	M	WB		
I9															F	D	DS	E1	E2	E3	M	WB

Dependencias:

<I0,i1> WAR y RAW

<I2,I3> RAW

<I1,I4> RAW

<I4,I4> WAR

<I2,I5> WAW

<I5,I3> WAR

<I5,I6> RAW

<I4,I6> RAW

<I5,I7> RAW WAW

<I1,I9> RAW <I4,I9> por r3 RAW

La inst I1 se despacha a la ALU de suma en el ciclo 5,
porque debe esperar que I0 escriba en el banco de registros el valor de R1.
Debido a esto se realiza stall de pipeline, I2 queda en fetch, I3 no puede iniciar hasta I3 ciclo 6.